

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-084455

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01J 9/02  
G11B 9/00  
H01J 37/28  
// G01B 7/34  
G01B 21/30

(21)Application number : 04-324605

(71)Applicant : CANON INC

(22)Date of filing : 11.11.1992

(72)Inventor : TAKAMATSU OSAMU  
YANAGISAWA YOSHIHIRO  
OKAMURA YOSHIMASA  
SHIMADA YASUHIRO  
NAKAYAMA MASARU

(30)Priority

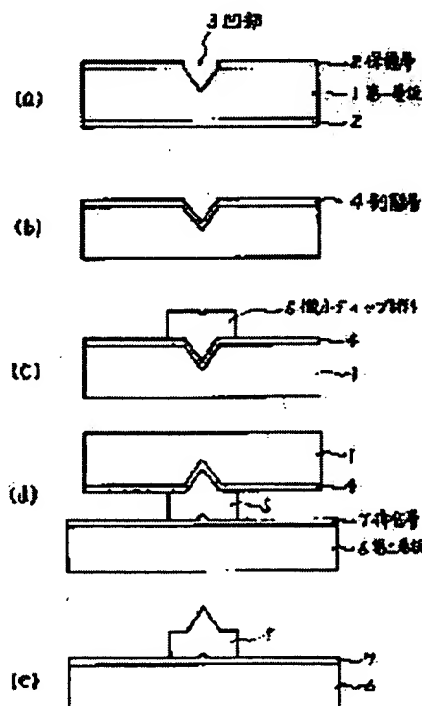
Priority number : 04209426 Priority date : 15.07.1992 Priority country : JP

(54) MICRO TIP, PROBE UNIT, MANUFACTURE THEREOF, AND SCANNING TUNNELING MICROSCOPE AND INFORMATION PROCESSING UNIT USING THEM

(57)Abstract:

PURPOSE: To provide a method of manufacture of a micro tip for use in a tunneling current detection device, a micro-force detection device and a scanning tunneling microscope, etc.

CONSTITUTION: A recessed portion 3 is formed by crystal orientation anisotropic etching in a first substrate 1 made of single crystal silicon and then a peeling layer 4 and a film of micro tip material which is precious metal or alloy are formed and a second substrate 6 is joined to the micro tip material 5 and is peeled by the peeling layer to form a micro tip on the second substrate 6. The first substrate having the recessed portion formed therein can thereby be used repeatedly as the female die of the micro tip, resulting in the enhancement of productivity and reduction in the manufacturing cost.



---

**LEGAL STATUS**

[Date of request for examination] 08.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3218414

[Date of registration] 10.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-84455

(43) 公開日 平成6年(1994)3月25日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 9/02	C	7354-5E		
G 1 1 B 9/00		9075-5D		
H 0 1 J 37/28	Z			
// G 0 1 B 7/34	Z	9106-2F		
21/30	Z	9106-2F		

審査請求 未請求 請求項の数14(全 15 頁)

(21) 出願番号	特願平4-324605	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成4年(1992)11月11日	(72) 発明者	高松 修 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(31) 優先権主張番号	特願平4-209426	(72) 発明者	柳沢 芳浩 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(32) 優先日	平4(1992)7月15日	(72) 発明者	岡村 好真 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 豊田 善雄 (外1名) 最終頁に続く

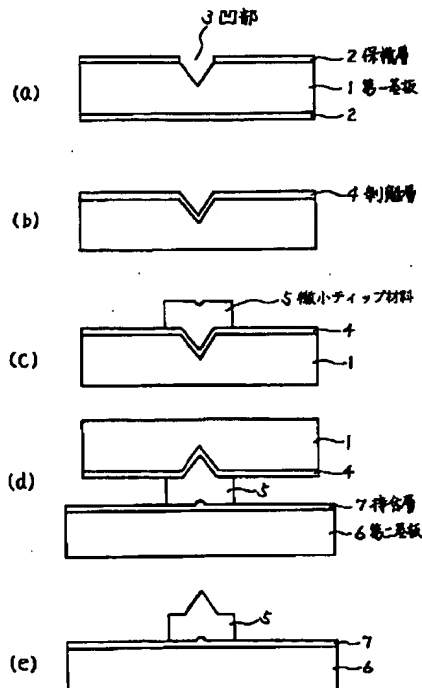
(54) 【発明の名称】 微小チップ、プローブユニット、及びこれらの製造方法、及びこれらを用いた走査型トンネル顕微鏡並びに情報処理装置

(57) 【要約】

【目的】 トンネル電流検出装置、微小力検出装置及び走査型トンネル顕微鏡等に用いられる微小チップの製造方法を提供する。

【構成】 単結晶シリコンから成る第一基板1に結晶軸異方性エッチングにより凹部3を形成した後、剥離層4、貴金属又は貴金属合金の微小チップ材料5を成膜し、この微小チップ材料5に第二基板6を接合し、剥離層4で剥離を行い第二基板6上に微小チップを形成する。

【効果】 凹部を形成した第一基板は微小チップの雛型として繰り返し使用でき、生産性が向上し製造コストが低減される。



## 【特許請求の範囲】

【請求項1】 トンネル電流又は微小力検出用微小ティップの製造方法であって、

- (a) 第一基板の表面に凹部を形成する工程
- (b) 前記凹部を含む第一基板上に剥離層を形成する工程

(c) 前記凹部を含む剥離層上に微小ティップ材料を形成する工程

(d) 前記凹部を含む剥離層上の微小ティップ材料を第二基板に接合する工程

(e) 前記剥離層と第一基板、或いは前記剥離層と微小ティップ材料の界面で剥離を行い第二基板上に微小ティップ材料を転写する工程

少なくとも上記(a)～(e)の工程を有することを特徴とする微小ティップの製造方法。

【請求項2】 前記第二基板には、信号処理回路素子が形成されていることを特徴とする請求項1に記載の微小ティップの製造方法。

【請求項3】 前記第一基板に単結晶基板を用い、結晶軸異方性エッチングで凹部を形成することを特徴とする請求項1又は2に記載の微小ティップの製造方法。

【請求項4】 前記微小ティップ材料が貴金属又は貴金属合金であることを特徴とする請求項1～3いずれかに記載の微小ティップの製造方法。

【請求項5】 請求項1～4いずれかに記載の微小ティップの製造方法により製造したことを特徴とする微小ティップ。

【請求項6】 トンネル電流又は微小力検出用微小ティップと該微小ティップを変位させる為の圧電素子を有するカンチレバーを単結晶基板上に設けて成るプローブユニットの製造方法であって、

(a) 前記単結晶基板の表面に結晶軸異方性エッチングで凹部を形成する工程

(b) 前記凹部を含む単結晶基板上に微小ティップ材料を形成する工程

(c) 前記凹部を含む微小ティップ材料上に圧電素子を構成する電極及び圧電体層を形成する工程

(d) 前記単結晶基板を結晶軸異方性エッチングで加工することにより該基板上に前記微小ティップ材料と圧電素子から成るカンチレバーを形成する工程

少なくとも上記(a)～(d)の工程を有することを特徴とするプローブユニットの製造方法。

【請求項7】 請求項6に記載のプローブユニットの製造方法により製造したことを特徴とするプローブユニット。

【請求項8】 請求項7に記載のプローブユニット、該プローブユニットを変位させるための駆動手段、該駆動手段を制御する制御手段、前記ティップと観察すべき試料媒体との距離を調整する手段及びティップと試料媒体の間に電圧を印加する手段を具備することを特徴とする

走査型トンネル顕微鏡。

【請求項9】 請求項7に記載のプローブユニット、該プローブユニットを変位させるための駆動手段、該駆動手段を制御する制御手段、前記ティップと記録媒体との距離を調整する手段及びティップと記録媒体の間に電圧を印加する手段を具備することを特徴とする情報処理装置。

【請求項10】 前記電圧印加手段が、パルス電圧印加手段であることを特徴とする請求項9に記載の情報処理装置。

【請求項11】 前記電圧印加手段が、バイアス電圧印加手段であることを特徴とする請求項9に記載の情報処理装置。

【請求項12】 前記制御手段が、媒体とティップとの間に流れるトンネル電流の検出結果に基づき、プローブユニットのカンチレバーを変位させるためのバイアス電圧を変化させ、その信号をカンチレバーを構成する電極に付与するものであることを特徴とする請求項又は9に記載の走査型トンネル顕微鏡又は情報処理装置。

【請求項13】 前記記録媒体が電気メモリー効果を有することを特徴とする請求項9に記載の情報処理装置。

【請求項14】 前記記録媒体の表面が非導電性であることを特徴とする請求項9に記載の情報処理装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、トンネル電流検出装置、微小力検出装置、並びに走査型トンネル顕微鏡等に用いられる微小ティップ、プローブユニット及びこれらの製造方法に関する。

【0002】さらに本発明は、上記プローブユニットを備えた走査型トンネル顕微鏡、及び走査型トンネル顕微鏡の手法により情報の記録、再生、消去等を行う情報処理装置に関する。

【0003】

【従来の技術】近年において、導体の表面原子の電子構造を直接観測できる走査型トンネル顕微鏡（以下、STMと略す）が開発され（G. Binnig et al., Phys. Rev. Lett. 49 (1982) 57）、単結晶、非結晶を問わず実空間像を著しく高い分解能（ナノメートル以下）で測定できるようになった。かかるSTMは、金属のティップ（探針）と導電性物質の間に電圧を加えて、1nm程度の距離まで近づけると、その間にトンネル電流が流れることを利用している。この電流は両者の距離変化に非常に敏感でかつ指数関数的に変化するので、トンネル電流を一定に保つようにティップを走査することにより実空間の表面構造を原子オーダーの分解能で観察することができる。このSTMを用いた解析は導電性材料に限られるが、導電性材料の表面に薄く形成された絶縁膜の構造解析にも応用され始めている。更に、上述の装置、手段は微小電流を検知

する方法を用いているため、媒体に損傷を与えず、かつ低電力で観測できる利点をも有する。また、大気中での動作も可能であるためSTMの広範囲な応用が期待されている。

【0004】例えば、このSTMの手法を用いて、半導体あるいは高分子材料等の原子オーダー、分子オーダーの観察評価、微細加工(E. E. Ehrichs, Proceedings of 4th International Conference on Scanning Tunneling Microscopy/Spectroscopy, '89, S13-3)、及び記録装置等の様々な分野への応用が研究されている。

【0005】なかでも、コンピュータの計算情報や映像情報等では大容量を有する記録装置の要求が益々高まっており、さらに、半導体プロセス技術の進展によりマイクロプロセッサが小型化し、計算能力が向上したことから記録装置の小型化が望まれている。

【0006】これらの要求を満たす目的で、記録媒体との間隔が微調整可能な駆動手段上に存在するトンネル電流発生用プローブからなる変換器から電圧印加することによって記録媒体表面の仕事関数を変化させ、記録書き込みし、また、仕事関数の変化によるトンネル電流の変化を検知して、情報の読み出しを行う、記録再生装置が提案されている。

【0007】この記録再生装置に用いられるSTMプローブとしては、たとえばスタンフォード大学のクウェートらにより提案された微小変位素子を用いたSTMプローブ(IEEE Micro Electric Mechanical Systems, pp. 188-199, Feb. 1990)がある。これは既存のフォトリソグラフの手法及び成膜技術、エッチング技術を用いてシリコン基板に形成された開口部上に電極と圧電体の薄膜を積層したパイモルフのカンチレバーを形成したものであり、このカンチレバーの上面自由端部にトンネル電流検知用の微小チップを取り付け、良好なSTM像を得ている。

【0008】上記微小チップは、原子、分子オーダーの表面観察や高い記録密度を達成するために先端部の曲率半径が小さいことが要求されると同時に、記録、再生システムの機能向上、特に高速化の観点から、多数のチップを同時に駆動すること(プローブのマルチ化)が提案され、このために同一基板上に作製された複数の微小プローブの高さや先端曲率半径等の特性の揃ったチップが求められている。

【0009】従来、上記のような微小チップの形成方法として、半導体製造プロセス技術を使いシリコンの異方性、等方性エッチングにより形成した微小チップが記載されている(特開平3-135702号公報)。この微小チップの形成方法は、図15に示されるように、まず単結晶シリコン111を用いて異方性または等

方性エッチングによりトレンチ114を設け、このトレンチをチップの雌型とし、次に全面にSiO<sub>2</sub>: 113, C, SiN, SiCなどを被覆し、片持ち梁115状にパターン化した後、カンチレバー下のシリコンをエッチング除去することにより上述した材料からなるカンチレバー状プローブ116を得ている。

【0010】また、図16(a)に示されるように、たとえば基板121上の薄膜層を円形にパターニングし、それをマスク122にして基板材料をエッチングし、サイドエッチングを利用してチップ123を形成する方法、更には、図16(b)に示されるように、逆テーパをつけたレジスト開口部124に基板121を回転させながら導電性材料を斜めから蒸着し、リフトオフすることによりチップ123を形成する方法等がある。

【0011】

【発明が解決しようとする課題】しかしながら、図15に示したような従来例の微小チップの製造方法は以下のような問題点を有していた。

①カンチレバー状プローブの雌型となったシリコン基板は、後工程でエッチング除去されてしまうため生産性が低く、製造コストが高くなる。

②カンチレバー状プローブ上に導電性材料を被覆してSTMのプローブとする場合には、プローブの最先端部は鋭利に形成されているため被覆されにくく、トンネル電流という微弱な電流を取り扱うSTMでは安定な特性を得ることは難しい。

③トレンチを設けた部分の単結晶Siはエッチングにより除去されるため、トンネル電流等を検知して得られた信号を増幅部あるいは処理部に伝送するための配線を形成するのが困難である。また、図16に示したような従来例の微小チップの製造方法では、チップを形成する際のレジストのパターニング条件や、材料のエッチング条件を一定にするのが困難であり、形成される複数の微小チップの高さや先端曲率半径等の正確な形状を維持するのが困難であった。

【0012】従って、本発明の目的は、生産性を向上させ製造コストを低減でき、また先端が鋭利に形成でき、かつ均一な形状を維持できる微小チップ及びプローブユニットの製造方法を提供することにある。

【0013】更に、本発明の目的は、上記製造方法により得られたプローブユニットを具備する走査型トンネル顕微鏡並びに情報処理装置を提供することにある。

【0014】

【課題を解決するための手段及び作用】本発明第1の微小チップの製造方法によれば、凹部を形成した第一基板上に剥離層、続いて微小チップ材料を形成した後、この微小チップ部を第二基板に接合し、続いて上記剥離層から引き剥がし微小チップ部を第二基板に転写することにより微小チップを製造するものである。このため、凹部を形成した第一基板は繰り返し使用できるた

め、生産性の向上、製造コストの低減ができる。

【0015】即ち、本発明第1は、トンネル電流又は微小力検出用微小チップの製造方法であって、

(a) 第一基板の表面に凹部を形成する工程

(b) 前記凹部を含む第一基板上に剥離層を形成する工程

(c) 前記凹部を含む剥離層上に微小チップ材料を形成する工程

(d) 前記凹部を含む剥離層上の微小チップ材料を第二基板に接合する工程

(e) 前記剥離層と第一基板、或いは前記剥離層と微小プローブ材料の界面で剥離を行い第二基板上に微小チップ材料を転写する工程

少なくとも上記(a)～(e)の工程を有することを特徴とする微小チップの製造方法であり、更には、この製造方法により製造される微小チップである。

【0016】また、本発明第2のプローブユニットの製造方法によれば、結晶軸異方性エッチングにより凹部を形成した単結晶基板上に微小チップ材料、続いて圧電素子材料を形成した後、前記基板を加工して微小チップ材料と圧電素子から成るカンチレバーを基板上に形成することによりプローブユニットを製造するものである。このため、微小チップの雌型となる凹部は先端が鋭利で、また同一基板上に複数形成した場合には形状の揃ったものとなり、その結果、得られるプローブユニットは特性の揃ったものとなる。

【0017】即ち、本発明第2は、トンネル電流又は微小力検出用微小チップと該微小チップを変位させる為の圧電素子を有するカンチレバーを単結晶基板上に設けて成るプローブユニットの製造方法であって、

(a) 前記単結晶基板の表面に結晶軸異方性エッチングで凹部を形成する工程

(b) 前記凹部を含む単結晶基板上に微小チップ材料を形成する工程

(c) 前記凹部を含む微小チップ材料上に圧電素子を構成する電極及び圧電体層を形成する工程

(d) 前記単結晶基板を結晶軸異方性エッチングで加工することにより該基板上に前記微小チップ材料と圧電素子から成るカンチレバーを形成する工程

少なくとも上記(a)～(d)の工程を有することを特徴とするプローブユニットの製造方法であり、更には、この製造方法により製造されるプローブユニットである。

【0018】また、本発明第3は上記本発明第2のプローブユニット、該プローブユニットを変位させるための駆動手段、該駆動手段を制御する制御手段、該プローブと観察すべき試料媒体或いは記録媒体との距離を調整する手段及びプローブと前記媒体の間に電圧を印加する手段を具備することを特徴とする走査型トンネル顕微鏡及び情報処理装置であり、また、上記電圧印加手段がバル

ス電圧印加手段或いはバイアス電圧印加手段である上記情報処理装置であり、更には、上記制御手段が、媒体とプローブとの間に流れるトンネル電流の検出結果に基づき、前記カンチレバーを変位させるためのバイアス電圧を変化させ、その信号をカンチレバーを構成する電極に付与するものであることを特徴とする上記走査型トンネル顕微鏡及び情報処理装置であり、また更には、上記記録媒体が電気メモリー効果を有するもの、或いは記録媒体の表面が非導電性であることを特徴とする上記情報処理装置である。

【0019】次に、図面を用いて本発明を詳細に説明する。

【0020】図1は本発明第1の微小チップの製造方法の主要工程を示す断面図である。

【0021】図1(a)に於いて、まず第一基板1を用意する。この第一基板1としては、単結晶シリコン、GaAs半導体等の結晶軸異方性エッチング可能な材料を用いることができる。

【0022】続いて、第一基板1上に保護層2を形成する。保護層2は後工程で第一基板1を結晶軸異方性エッチングする時の保護層であるから、この時のエッチング液に耐えるものならば良い。続いて保護層2の所望の場所をフォトリソエッチングにより除去し第一基板表面を露出させる。続いて第一基板を結晶軸異方性エッチングにより加工し、逆ピラミッド状の凹部3を形成する。続いて保護層2をエッチングにより除去する。

【0023】次に図1(b)に示すように、凹部3を含む第一基板上に剥離層4を形成する。剥離層4は後工程で微小チップ材料の剥離に用いられるものであるため、材料を適正に選ぶ必要がある。例えば、第一基板1と剥離層4との界面から剥離する場合は第一基板1と剥離層4との密着性が良くない必要がある。また、剥離層4と微小チップ材料との界面から剥離する場合にはこれらの密着性が良くない必要がある。

【0024】次に図1(c)に示すように、凹部3を含む第一基板1上に微小チップ材料5をパターン化して形成する。微小チップ材料5としては、導電性の高い金属系材料が必要であり、より好ましくは貴金属または貴金属合金が良い。

【0025】このことにより、STMプローブとして用いた場合に再現性の良い安定な特性を得ることができる。

【0026】次に図1(d)に示すように、第二基板6上に形成した接合層7と第一基板1上に形成した微小チップ材料5とを接合する。接合には、金属-金属間接合、陽極接合等を用いることができるが、STMに利用する場合には取り出し電極が必要なため接合層7には金属材料を用いることが望ましい。

【0027】次に図1(e)に示すように、第一基板1と剥離層4との界面、または剥離層4と微小チップ材

料5との界面から引き剥すことにより微小ティップ材料5を第二基板6上に転写することにより微小ティップが製造できる。ただし、第一基板1と剥離層4との界面で剥離した場合には、微小ティップ材料5上の剥離層4を除去する必要がある。

【0028】なお、保護層2、剥離層4、微小ティップ5、接合層7の形成方法としては、従来公知の技術、例えば半導体産業で一般に用いられている真空蒸着法やスパッタ法、化学気相成長法等の薄膜作製技術やフォトリソグラフ技術及びエッチング技術を適用することができ、その作製方法は本発明第1を制限するものではない。

【0029】また、本発明第1において、前記の第二基板に、カンチレバー層を予め形成しておくことにより、カンチレバー型プローブを容易に作製することができる。

【0030】更に、前記の第二基板に、1軸、2軸あるいは3軸駆動可能なアクチュエーターを有するカンチレバー層を予め形成しておくことにより、微小ティップを独立に駆動可能なプローブユニットを容易に作製することができる。

【0031】更にはまた、前記の第二基板に、配線やトランジスタなどを含む信号処理回路素子を予め形成しておくことにより、トンネル電流等を検知して得られた信号を伝送することが可能なプローブユニットを容易に作製することができる。

【0032】図9は、本発明第2によるプローブユニットの斜視図である。本発明第2のカンチレバー型プローブは、単結晶基板51に形成された開口部上に圧電体バイモルフあるいは圧電体ユニモルフまたはその他の駆動手段を持つカンチレバー（片持ち梁）52が配置され（図9は圧電体バイモルフの例を示している）、その先端部にトンネル電流用ティップ50が作製されている。

【0033】圧電体バイモルフ駆動の場合、カンチレバー52上には、圧電体層53a、53bに電圧を印加するための電極54a、54b、54cが積層されている。この構成により圧電素子としてカンチレバー52を動作させ、トンネル電流用ティップ50を走査することができる。

【0034】カンチレバー先端のティップ50は、単結晶基板の表面に結晶軸異方性エッチングにより凹部を形成し、該凹部に導電性材料を堆積させることにより作製される。

【0035】図9に示したような本発明第2のプローブユニットの作製工程を、図10を用いて説明する。

【0036】まず、シリコン（100）基板51に、マスク層55、56を成膜し、基板表面のマスク層55を円形あるいは正方形にパターニングしてエッチング開口部57を形成した後、結晶軸異方性エッチングにてシリコン部分を逆ピラミッド形状にエッチングして基板凹部

58を形成する（図10（a）参照）。次に、基板表面のマスク層55を除去し、再び同様のマスク層55を成膜した後、導電性材料を成膜して下電極54a、トンネル電流用ティップ53及びトンネル電流用配線59となる部分を形成する（図10（b）参照）。次に、圧電体53a、53bと電極54b、54cよりなる駆動部分を形成する（図10（c）参照）。さらに、基板裏面マスク層56にバックエッチング開口部60を形成し、表面をシールした後、結晶軸異方性エッチングにてシリコン基板51をエッチングし、表面マスク層55のメンブレンを形成する。最後に、基板表面マスク層55を基板裏面からエッチングし、カンチレバー52形状とする（図10（d）参照）。

【0037】アルカリ性エッチング液による単結晶シリコンの結晶軸異方性エッチングは、シリコン（111）面のエッチングレートがほとんど0であるため、この方法で形成された凹部はシリコン（111）等価面で囲まれたピラミッド形状をしており、その深さはエッチングマスクの形状及び大きさで一義的に決まる。また、先端の角度はマスク形状によらず一様である。このため、基板上に複数のティップを形成する場合、その形状を一様にすることができる。

【0038】圧電体層と電極層からなる圧電素子の製造方法には既知のフォトリソグラフィ技術、真空蒸着法やスパッタリング法等の成膜技術が用いられ、その方法は本発明第2を制限するものではない。

【0039】本発明第2のプローブユニットは、さらに半導体プロセスと一体化して同一基板上にトンネル電流用のティップ付きカンチレバーのみならず、トンネル電流を増幅処理するアンプ、カンチレバー駆動とトンネル電流の選択のためのマルチプレクサ、シフトレジスタ等を積載している。

【0040】また、本発明は上記のプローブユニットを用いたSTM装置や、記録装置、再生装置、記録再生装置等の情報処理装置を含み、このような装置は、信頼性の高い、高速処理可能な装置となる。

【0041】

【実施例】以下、本発明を実施例を用いて詳細に説明する。

#### 【0042】実施例1

本実施例では図1に示したような製造工程により本発明第1の微小プローブを作製した。以下、製造方法を説明する。

【0043】まず、保護層2として熱酸化膜が5000Å形成されたシリコンウエハを第一基板1として用意する。続いて保護層2の所望の箇所を、フォトリソグラフィとエッチングによりパターン形成し部分的に8μm平方のシリコンを露出した。水酸化カリウム水溶液を用いた結晶軸異方性エッチングにより凹部3を形成した。なお、エッチング条件は、濃度27%のKOH水溶液を用

い、液温80℃、エッチング時間は20分とした。このとき(111)面で囲まれた深さ5.6μmの逆ピラミッド状の凹部3が形成された(図1(a)参照)。

【0044】次に保護層2である熱酸化膜をHF:NH<sub>4</sub>F=1:5溶液で全部除去した。続いて、凹部3を含む第一基板1上に剥離層4として、Crを真空蒸着法により全面に900Å成膜した(図1(b)参照)。

【0045】次に微小チップ材料5として金を真空蒸着法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った。なお、このときの金の膜厚は4.0μmとした(図1(c)参照)。

【0046】次に第二基板6として#7059フュージョンガラスを用意し、この表面に接合層7としてAlを1.0μm真空蒸着法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った。続いて、第一基板1上の微小チップ材料5と第二基板6上の接合層7とを位置合わせし、接合を行った。なお接合は、N<sub>2</sub>雰囲気中で温度300℃で1時間放置した。これによりAl-Au合金が形成され微小チップ材料5と接合層7が接合した(図1(d)参照)。

【0047】次に第一基板1と第二基板6とを引き剥した。この時、剥離層4と微小チップ材料5との界面で剥離することにより微小チップを製造した(図1(e)参照)。

【0048】次に、上述した方法により作製した微小チップをSEM(走査型電子顕微鏡)で観察したところ、先端が鋭利に形成されているチップを確認した。なおチップの先端曲率半径は0.03μm、高さは1.0μmであった。

#### 【0049】実施例2

本実施例では図2に示されるような製造工程により本発明第1の微小チップを作製した。以下、製造方法を説明する。

【0050】まず、保護層2として熱酸化膜が5000Å形成されたシリコンウエハを第一基板1として用意する。続いて保護層2の所望の箇所を、フォトリソグラフィとエッチングによりパターン形成し部分的に10μm平方のシリコンを露出した。続いて、水酸化カリウム水溶液を用いた結晶軸異方性エッチングにより凹部3を形成した。なお、エッチング条件は、濃度27%のKOH水溶液を用い、液温80℃、エッチング時間は25分とした。このとき(111)面で囲まれた深さ7.1μmの逆ピラミッド状の凹部3が形成された(図2(a)参照)。

【0051】次に保護層2である熱酸化膜をHF:NH<sub>4</sub>F=1:5溶液で全部除去した。続いて、凹部3を含む第一基板1上に剥離層4として、Agを真空蒸着法により全面に700Å成膜した(図2(b)参照)。

【0052】次に微小チップ材料5としてPt0.3μm、Ni5μm、Au1μmを電子ビーム蒸着法によ

り、連続して全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った(図2(c)参照)。

【0053】次に第二基板6としてシリコンウエハを用意し、この表面に接合層7としてAlを1.0μm真空蒸着法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った。続いて、第一基板1上の微小チップ材料5と第二基板6上の接合層7とを位置合わせし、接合を行った。なお接合は、N<sub>2</sub>雰囲気中で温度300℃で1時間放置した。これによりAl-Au合金が形成され微小チップ材料5と接合層7が接合した(図2(d)参照)。

【0054】次に第一基板1と第二基板6とを引き剥した。この時、剥離層4と第一基板1との界面で剥離した。続いて、微小チップ上の剥離層4であるAgを硝酸水溶液を用いて除去することにより微小チップを製造した(図2(e)参照)。

【0055】次に、上述した方法により作製した微小チップをSEMで観察したところ、先端が鋭利に形成されているチップを確認した。なおチップの先端曲率半径は0.04μm、高さは13.5μmであった。

#### 【0056】実施例3

プローブをマルチにし、チップ材料をバラジウムに変更した以外はすべて実施例2と同様にしてチップを作製した。プローブ数はマトリックス状に配置し、100個とした。尚プローブ間のピッチは200μmとした。こうして作製した複数のチップをSEMで観察したところ、各チップの高さは13.5μm±0.1μm、先端曲率半径は0.03μm±0.01μmのバラツキ内に収まっており、マルチにした場合に形状の揃ったチップが得られることが判かった。

#### 【0057】実施例4

本実施例では、本発明第1の微小チップをカンチレバー上に形成した。以下、製造方法を図3を用いて説明する。

【0058】まず、保護層2として熱酸化膜が5000Å形成されたシリコンウエハを第一基板1として用意する。続いて保護層2の所望の箇所を、フォトリソグラフィとエッチングによりパターン形成し部分的に8μm平方のシリコンを露出した。続いて、水酸化カリウム水溶液を用いた結晶軸異方性エッチングにより凹部3を形成した。なお、エッチング条件は、濃度27%のKOH水溶液を用い、液温80℃、エッチング時間は20分とした。このとき(111)面で囲まれた深さ5.6μmの逆ピラミッド状の凹部3が形成された(図3(a)参照)。

【0059】次に保護層2である熱酸化膜をHF:NH<sub>4</sub>F=1:5溶液で全部除去した。続いて、凹部3を含む第一基板1上に剥離層4として、Crを真空蒸着法により全面に900Å成膜した(図3(b)参照)。

【0060】次に微小チップ材料5として金を真空蒸



着法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った。なお、このときの金の膜厚は $4.0\mu\text{m}$ とした(図3(c)参照)。

【0061】次に、第二基板を用意する。この第二基板としては、単結晶シリコン基板8上に片持ち梁層10として熱酸化膜を $1.5\mu\text{m}$ 、接合層7としてAlを $0.5\mu\text{m}$ 成膜した。続いて、フォトリソグラフィとエッチングにより片持ち梁層10と接合層7を片持ち梁状にパターン形成を行った。この時、片持ち梁の寸法は幅 $50\mu\text{m}$ 、長さ $500\mu\text{m}$ とした。尚、片持ち梁層10を成膜した後で、あらかじめ片持ち梁が形成される場所の裏面のシリコンを一部エッチング除去し、シリコンメンブレン9を形成しておく。続いて、第一基板1上の微小ティップ材料5と第二基板であるところの単結晶シリコン基板8上の接合層7とを位置合わせし、接合を行った。なお接合は、 $\text{N}_2$ 雰囲気中で温度 $300^\circ\text{C}$ で1時間放置した。これによりAl-Au合金が形成され微小ティップ材料5と接合層7が接合した(図3(d)参照)。

【0062】次に第一基板1と第二基板とを引き剥した。この時、剥離層4と微小ティップ材料5との界面で剥離した。続いて、第二基板の片持ち梁下部のシリコンメンブレン9をエッチング除去することにより片持ち梁型プローブを製造した(図3(e)参照)。

【0063】次に、上述した方法により作製した微小ティップをSEMで観察したところ、先端が鋭利に形成されているティップを確認した。ティップの先端曲率半径は $0.03\mu\text{m}$ 、高さは $10\mu\text{m}$ であった。

#### 【0064】実施例5

本実施例では実施例4のカンチレバーとして圧電バイモルフ構造にし3次元に変位可能とし、さらにトンネル電流の増幅やカンチレバーの選択駆動等の信号処理回路素子をカンチレバーと同一基板上に形成し本発明第1の微小ティップを該カンチレバー上に形成した。以下、製造方法を図4～図7を用いて説明する。

【0065】作製工程としては回路部工程、カンチレバー工程と同時に微小ティップ工程、微小ティップ接合工程、基板除去工程という順になる。

【0066】まず、信号処理回路素子とカンチレバーが一体となった第二基板を作製する回路部工程及びカンチレバー工程を説明する。信号回路部のデバイスとしてCMOSトランジスタを用いる。基板11としてNタイプ、面方位(100)、比抵抗 $1\sim 2\Omega\cdot\text{cm}$ のシリコンウェハを用い、インブラマスク層として酸化炉を用い酸化層12を $7000\text{\AA}$ 成膜し、Pウェル領域13を除去しバッファ層として酸化炉で熱酸化膜を $1000\text{\AA}$ 成膜する。イオンインプラ装置でBイオンをインプラし、拡散炉を用いて $1150^\circ\text{C}$ の温度で85分間熱処理しPウェル領域13を形成する(図4(a)参照)。次に、酸化層12を全面除去し、熱酸化膜を $500\text{\AA}$ 成膜した後にLPCVD装置でシリコンナイトライド膜を2

$000\text{\AA}$ 成膜する。NMOS、PMOSが形成される領域以外のシリコンナイトライド膜を除去し、レジスト工程後、PチャンネルストップのためP(リン)イオンをインプラし、同じくレジスト工程後、NチャンネルストップのためB(ボロン)イオンをインプラする。酸化炉を用い熱酸化膜を $8000\text{\AA}$ 成膜しLOCOS(Local Oxidation Silicon)層14を形成する。シリコンナイトライド膜をLOCOS層14以外の酸化膜を除去すると図4(b)を得る。次に、酸化炉を用い熱酸化膜を $350\text{\AA}$ 成膜しゲート膜層15を形成し、MOSのしきい電圧( $V_{th}$ )をコントロールするため $\text{BF}_3$ イオンを全面にインプラする。LPCVD装置によりPolySiを $4500\text{\AA}$ 成膜し、インプラ装置により全面にP(リン)イオンをインプラする。次に、裏面のPolySiを除去し、拡散炉にて $950^\circ\text{C}$ 30分間のアニールを行い、PolySiをパターンニングエッチング後にPolySiを酸化し、ゲート電極16を形成すると図4(c)を得る。ここで、カンチレバー領域は図示していないがPMOS領域と同じ構成になっている。次に、レジストをパターンニングし、AsイオンをインプラしNMOSTランジスタのソース、ドレイン17を形成し、同じくレジストをパターンニングし、 $\text{BF}_3$ イオンをインプラしPMOSTランジスタのソース、ドレイン18を形成する。その後、拡散炉にて $1000^\circ\text{C}$ 、5minのアニールをし、常圧CVD装置でBPSG(ボロン、リンドーブシリコン酸化膜)を $7000\text{\AA}$ 成膜し層間絶縁層19を形成し、 $950^\circ\text{C}$ 、20minのアニールを行うと図5(a)を得る。

【0067】図5(b)は図5(a)と同一工程までのNMOSとカンチレバー領域を示す。以後は、カンチレバー領域とNMOSの状態を工程に従って図を用いて説明する。

【0068】次に、信号回路部のトランジスタ等と配線のコンタクトをとるため、パターンニングしBPSG層19とゲート膜層15を除去してコンタクトホールを形成する。スパッタ装置によりAl-Si膜を成膜し、パターンニングエッチングし配線層20を形成する。次に、カンチレバー領域のBPSG層19とゲート膜層15を除去し図5(c)を得る。さらに、プラズマCVD装置にてSiON膜を $8000\text{\AA}$ 成膜し、保護層21を形成する(図5(d)参照)。

【0069】カンチレバー一部形成前に裏面からSi基板11を異方性エッチングしカンチレバー部領域をメンブレン状態にする(図6(a)参照)。

【0070】次に、カンチレバーを構成する各膜を積層する。下電極層22として蒸着装置によりCrを $20\text{\AA}$ 、Auを $1000\text{\AA}$ リフトオフ法により成膜し、スパッタ装置で圧電体層23としてZnOを $5000\text{\AA}$ 成膜後に、同じくリフトオフ法にてAuを $2000\text{\AA}$ 成膜、スパッタ装置でZnOを $5000\text{\AA}$ 、リフトオフ法にて

13

Auを1000Å成膜し3層の電極層22と2層の圧電体層23のバイモルフ構成のカンチレバー部が形成される(図6(b)参照)。

【0071】次に、カンチレバー部の電極と信号回路部の電極を接続するために圧電体層23の一部をエッチング除去しコンタクトホールを形成する。回路部の方も保護層21の一部をエッチング除去しコンタクトホールを形成し、リフトオフ法にてAlを成膜し接続電極層24を形成する。続いて、微小ティップ工程として実施例4と同様にして真空蒸着法により第一基板1上に形成した金から成る微小ティップ材料5と、第二基板11上のカンチレバー電極層22とを位置合わせし、接合を行った(図6(c)参照)。なお、接合はN<sub>2</sub>雰囲気中で温度100℃で加圧することによって行われる。

【0072】次に、第一基板1と第二基板11とを引き剥した。この時、剥離層4と微小ティップ5との界面で剥離した。続いて、第二基板のカンチレバー下部のシリコンメンブレンとSiONを除去することによってカンチレバー型微小ティップを製造した(図7参照)。

【0073】次に、上述した方法により作製した微小ティップをSEMで観察したところ、先端が鋭利に形成されているティップを確認した。ティップの先端曲率半径は0.03μm、高さは10μmであった。又、カンチレバーの形状は幅100μm、長さは350μmに形成されていた。尚、カンチレバーの形状は本発明を制限するものではない。

#### 【0074】実施例6

本実施例では実施例4の微小ティップを用いたSTM装置を作製した。本装置のブロック図を図8に示す。図中、41はバイアス印加用電源、42はトンネル電流増幅回路、43はXYZ駆動用ドライバー、44はカンチレバー、45はプローブ、46は試料、47はXYZ駆動ピエゾ素子である。ここでプローブ45と試料46との間を流れるトンネル電流I<sub>t</sub>を検出し、I<sub>t</sub>が一定となるようにフィードバックをかけ、XYZ駆動ピエゾ素子47のZ方向を駆動し、プローブ45と試料46との間隔を一定に保っている。更に、XYZ駆動ピエゾ素子47のXY方向を駆動することにより試料46の2次元像であるSTM像が観察できる。この装置で試料46としてHOPG(高配向熱分解グラファイト)基板の劈開面をバイアス電流1nA、スキャンエリア100Å×100Åで観察したところ、再現性良く良好な原子像を得ることができた。

#### 【0075】実施例7

本実施例では図9に示したような本発明第2のプローブユニットを作製した。

【0076】この製造方法を図10の製造工程図を用いて説明する。

【0077】まず、両面研磨したn型シリコン(100)基板51に、マスク層55、56となる窒化シリ

14

コンをCVD法にて500Å成膜し、カンチレバー先端に相当する部分に直径8μmの円形開口部57をパターニングした後、基板表面の窒化シリコン膜55をCF<sub>4</sub>ガスを用いたドライエッチングによりエッチングし、80℃に加熱した水酸化カリウム水溶液にてシリコン基板51をエッチングする。この結果、深さ5.6μmの逆ピラミッド型凹部58が形成された(図10(a)参照)。

【0078】次に、基板表面の窒化シリコン膜55をCF<sub>4</sub>ガスを用いたドライエッチングにより除去し、再び窒化シリコンをCVD法にて成膜した後、下電極54a、トンネル電流用ティップ50及びトンネル電流用配線59となる部分をパターニングし、スパッタリング法によりプラチナを1000Å成膜した後リフトオフする(図10(b)参照)。

【0079】次に、駆動部分となる圧電体(ZnO)バイモルフを形成する。第1に、1層目の圧電体層53aを形成する。第2に、中電極層54bを形成する。第3に、2層目の圧電体層53bを形成する。第4に、上電極層54cを形成する。中電極54b及び上電極54cは下電極54aと同様の方法で作製する。ZnOの成膜はRFスパッタリング装置を用いる。ターゲットはZnO、雰囲気はO<sub>2</sub>とArの混合ガスであり、O<sub>2</sub>とArのガス圧比は1:1、O<sub>2</sub>+Arガス全圧は、12mtorrである。この方法によりZnOを1000Å成膜した後、レジストを用いた通常のフォトリソグラフ技術を用いてパターニングし、水酸化アンモニウムと過酸化水素の水溶液にてエッチングして形成する(図10(c)参照)。

【0080】さらに、基板裏面の窒化シリコン膜56をCF<sub>4</sub>ガスを用いたドライエッチングによりバックエッチング開口部60を形成し、表面をシールした後80℃に加熱した水酸化カリウム水溶液にてシリコン基板51をエッチングする。

【0081】最後に、基板表面の窒化シリコン膜55をCF<sub>4</sub>ガスを用いたドライエッチングにより基板裏面からエッチングし、カンチレバー52とする(図10(d)参照)。

【0082】バイモルフ圧電体は駆動用の上下電極をカンチレバーの長さ方向で分割し、左右それぞれの電極に異なった電圧を加えることにより上下方向のみでなく、左右方向にも駆動可能な構造とすることもできる。

【0083】上記方法により作製されたプローブユニットはティップ先端が鋭利に形成されており、また、複数のプローブユニットを作製した場合においても、ほぼ形状が一定であり特性の揃ったものであった。

#### 【0084】実施例8

本実施例では、本発明第2のカンチレバー型プローブユニットを複数個用いた情報処理装置について述べる。

【0085】図11に本発明の本実施例での情報処理装

置の主要部構成及びブロック図を示す。また、図12に本装置のカンチレバー型プローブユニット及び記録媒体基板の配置を示す。本図に基づいて説明すると、記録再生ヘッド上には、本発明第2の実施例7によるカンチレバー型プローブユニットが複数配置されている。これら複数のプローブ50は、一様に媒体と対向する様に配置してある。71は情報記録用の記録媒体、72は媒体とプローブとの間に電圧を印加するための下地電極、73は記録媒体ホルダーである。前記記録媒体71層は、トンネル電流用ティップ50から発生するトンネル電流により記録媒体表面の形状を凸型 (Stauffer, Appl. Phys. Letters, 51 (4), 27, July, 1987, p244参照) または凹型 (Heinzelmann, Appl. Phys. Letters, Vol. 53, No. 24 Dec., 1988, p2447参照) に変形することが可能な金属、半導体、酸化物、有機薄膜、あるいは前記トンネル電流により電気的性質が変化 (たとえば電気メモリー効果を生ずる) する有機薄膜等よりなる。前記電気特性が変化する有機薄膜としては、特開昭63-161552号公報に記載された材料が使用され、ラングミュア・プロジェクト膜よりなるものが好ましい。

【0086】本実施例における記録媒体の作製方法は、まずシリコン基板の表面にCVD法にて1500Åの窒化シリコン膜を成膜する。次に、真空蒸着法によってCrを50Å、Auを300Å成膜し、レジストAZ1370 (ヘキスト社製) を用いて下地電極72及び下地電極配線をパターンニングし、ヨウ素とヨウ化カリウムの水溶液にてエッチングする。その上にLB法によってSOAZ (スクアリリウム-ビス-6-オクチルアズレン) を4層積層する。

【0087】74は記録すべきデータを記録に適した信号に変調するデータ変調回路、75はデータ変調回路で変調された信号を記録媒体71とティップ50の間に電圧を印加することで記録媒体71上に記録するための記録電圧印加装置である。ティップ50を記録媒体71に所定間隔まで近づけ記録電圧印加装置75によって例えば3V、幅50nsの矩形パルス電圧を印加すると、記録媒体71が特性変化を起こし電気抵抗の低い部分が生じる。X-Yステージ76を用いて、この操作をティップ50で記録媒体71面上で走査しながら行うことによって情報の記録がなされる。図では示していないが、X-Yステージ76による走査の機構としては、円筒型ピエゾアクチュエータ、平行ばね、差動マイクロメーター、ボイスコイル、インチウオーム等の制御機構を用いて行う。

【0088】77はティップ50と記録媒体71との間に電圧を印加して両者間に流れるトンネル電流を検出する記録信号検出回路、78は記録信号検出回路77の検出したトンネル電流信号を復調するデータ復調回路であ

る。再生時にはティップ50と記録媒体71とを所定間隔にし、記録電圧より低い、例えば200mVのバイアス電圧をティップ50と記録媒体71間に加える。この状態で記録媒体71上の記録データ列に沿ってティップ50にて走査中に記録信号検出回路77を用いて検出されるトンネル電流信号が記録データ信号に対応する。従って、この検出したトンネル電流信号を電流電圧変換して出力してデータ復調回路78で復調することにより再生データ信号を得られる。

【0089】79はプローブ高さ検出回路である。このプローブ高さ検出回路79は記録信号検出回路77の検出信号を受け、情報ビットの有無による高周波の振動成分をカットして残った信号を処理し、この残りの信号値が一定になる様にティップ50をZ軸方向で制御させるためにx、z軸駆動制御回路80に命令信号を発信する。これによりティップ50と記録媒体71との間隔が略一定に保たれる。

【0090】81はトラック検出回路である。トラック検出回路81はティップ50で記録媒体71上を走査する際に、ティップ50のデータがこれに沿って記録されるべき経路、あるいは記録されたデータ列 (以下これらをトラックと称する) からのずれを検出する回路である。

【0091】以上のデータ変調回路74、記録電圧印加装置75、記録信号検出回路77、データ復調回路78、プローブ高さ検出回路79、x、z軸駆動制御回路80、トラック検出回路81で記録再生用回路82を形成する。

【0092】記録再生ヘッドにおいては、記録再生用回路82が記録媒体に対向する複数のプローブ及びその駆動機構それぞれに1つずつ設けられており、各プローブによる記録、再生、各プローブの変位制御 (トラッキング、間隔調整等) 等の要素を独立して行っている。

【0093】本実施例の情報処理装置は記録再生装置であるが、記録または再生のみの装置、または走査型トンネル顕微鏡であっても本発明が適用可能であることは言うまでもない。

#### 【0094】実施例9

本実施例では、本発明第2のカンチレバー型プローブユニットを複数個用いた情報処理装置の別の態様について述べる。本実施例の特徴は、カンチレバー型プローブを2次元に配置することによりプローブを高密度としたところにある。図13及び図14に本実施例の情報処理装置に用いたカンチレバー型プローブユニット及び記録媒体基板の配置を示す。

【0095】作製方法は実施例7とほぼ同じであるが、2層の圧電体53a、53bの成膜条件を変え、カンチレバーの先端が下方に反った形状をしている。さらに、厚さの薄い基板を用いることにより、トンネル電流用ティップ50の先端を基板51底面より下げることができ

17

る。本実施例においてはプローブユニットに用いるシリコン(100)基板51の厚さを100 $\mu$ m、カンチレバー長を1000 $\mu$ m、1層のZnOの厚さを5000Åとした。

【0096】ZnOの成膜はRFスパッタリング装置を用いる。ターゲットはZnO、雰囲気はO<sub>2</sub>とArの混合ガスであり、O<sub>2</sub>とArのガス圧比は1:1である。ZnO53a成膜時の、O<sub>2</sub>+Arガス全圧は、15mtorrである。ZnO53b成膜時の、O<sub>2</sub>+Arガス全圧は、10mtorrである。このように下層のZnO53aの膜応力が上層のZnO53bの膜応力よりも引張り応力側となるようにスパッタ成膜時のガス圧を制御することにより、カンチレバー52の先端を下向きに150 $\mu$ m反らすことができた。

【0097】本実施例の情報処理装置のブロック図は実施例8と同様である。本実施例ではチップ50を2次元に配置することにより実施例8よりも高密度で高速な記録、再生が可能となった。

【0098】

【発明の効果】以上説明したように、本発明第1の微小チップの製造方法によれば、凹部を形成した第一基板、すなわち微小チップの雛型は繰り返し使用できるため、生産性の向上、製造コストの低減ができた。また第二基板上に配線、トランジスタなどを含む信号処理回路素子を予め形成しておくことによりトンネル電流を検知し、得られた信号を伝送することが可能なプローブユニットを作製することが容易になった。更に、1軸、2軸あるいは3軸駆動可能なアクチュエーターを有するカンチレバー上に駆動用配線を形成させた第二基板を用いることにより微小チップを試料、記録媒体表面に独立に接近させることのできるプローブユニットを容易に作製することができるようになった。更にはまた、金属系の微小チップ材料を用いるため、STMプローブとして再現性の良い安定な特性が得られるようになった。

【0099】また、本発明第2のプローブユニットの製造方法によれば、単結晶基板の表面に結晶軸異方性エッチングにより凹部を形成し、該凹部に導電性材料を堆積させて情報入出力用の微小プローブを形成し、更に、変位手段となる圧電素子を形成することにより、均一な形状を持った複数の微小チップと変位手段を有するプローブユニットを得ることができ、このプローブユニットを用いた走査型トンネル顕微鏡並びに情報処理装置は、信頼性の高い、且つ、高速処理可能な装置となる。

【図面の簡単な説明】

【図1】本発明第1の微小チップの製造方法の主要工程の一例を示す断面図である。

【図2】本発明第1の微小チップの製造方法の主要工程の他の例を示す断面図である。

【図3】本発明第1の微小チップをカンチレバー上に形成した主要工程の一例を示す断面図である。

18

【図4】本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

【図5】本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

【図6】本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

10 【図7】本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

【図8】本発明第1の微小チップを用いたSTM装置の一例を示すブロック図である。

【図9】本発明第2のプローブユニットの一例を示す斜視図である。

【図10】本発明第2のプローブユニットの製造方法の主要工程の一例を示す断面図である。

20 【図11】本発明第2のプローブユニットを用いた情報処理装置の一例を示す主要構成及びブロック図である。

【図12】本発明の情報処理装置におけるカンチレバー型プローブユニット及び記録媒体基板の概略的な配置例を示す図である。

【図13】本発明の情報処理装置におけるカンチレバー型プローブユニット及び記録媒体基板の概略的な他の配置例を示す図である。

【図14】本発明の情報処理装置におけるカンチレバー型プローブユニット及び記録媒体基板の概略的な他の配置例を示す図である。

30 【図15】従来例の微小チップの製造方法の主要工程を示す断面図である。

【図16】従来例の微小チップの製造工程断面図である。

【符号の説明】

- 1 第一基板
- 2 保護層
- 3 凹部
- 4 剥離層
- 5 微小チップ材料
- 40 6 第二基板
- 7 接合層
- 8 単結晶シリコン基板
- 9 シリコンメンブレン
- 10 片持ち梁層
- 11 シリコン基板
- 12 酸化層
- 13 Pウェル
- 14 LOCOS層
- 15 ゲート酸化膜
- 50 16 PolySiゲート

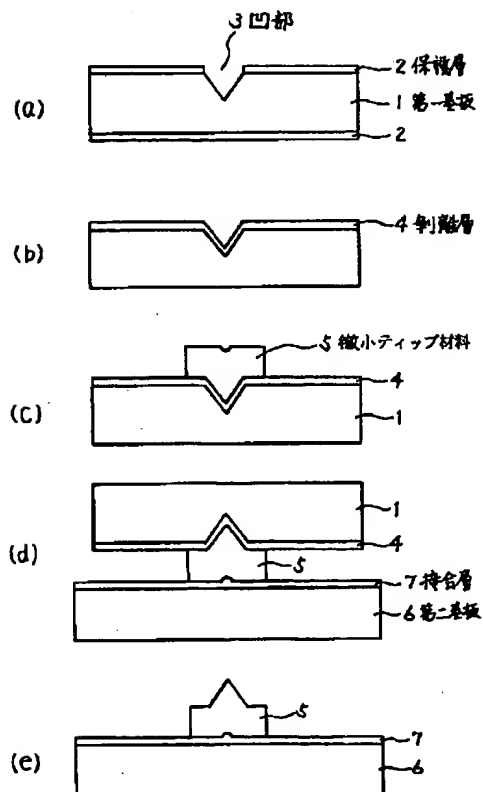
19

- 17 NMOSソース、ドレイン
- 18 PMOSソース、ドレイン
- 19 BPSG層
- 20 処理回路部電極層
- 21 保護層
- 22 カンチレバー電極層
- 23 圧電体層
- 24 接続電極
- 41 バイアス印加用電源
- 42 トンネル電流増幅回路
- 43 XYZ駆動用ドライバー
- 44 カンチレバー
- 45 プローブ
- 46 試料
- 47 XYZ駆動ピエゾ素子
- 50 ティップ
- 51 単結晶基板
- 52 カンチレバー
- 53 a, 53 b 圧電体層
- 54 a, 54 b, 54 c 電極層
- 55, 56 マスク層
- 57 エッチング開口部
- 58 凹部
- 59 トンネル電流用配線

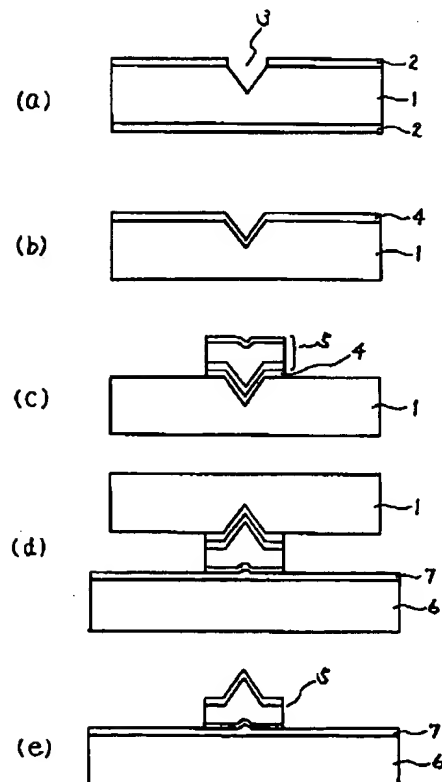
20

- 60 バックエッチング開口部
- 71 記録媒体
- 72 下地電極
- 73 記録媒体ホルダー
- 74 データ変調回路
- 75 記録電圧印加装置
- 76 X-Yステージ
- 77 記録信号検出回路
- 78 データ復調回路
- 10 79 プローブ高さ検出回路
- 80 x, z 軸駆動制御回路
- 81 トラック検出回路
- 82 記録再生用回路
- 111 シリコン基板
- 112 マスク
- 113 二酸化シリコン層
- 114 トレンチ (マスクホール)
- 115 片持ち梁
- 116 ティップ
- 20 121 基板
- 122 マスク
- 123 ティップ
- 124 レジスト開口部

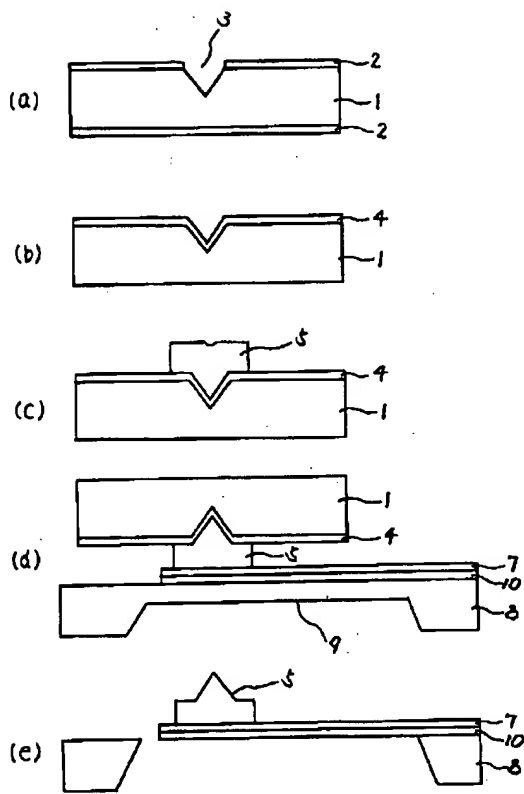
【図1】



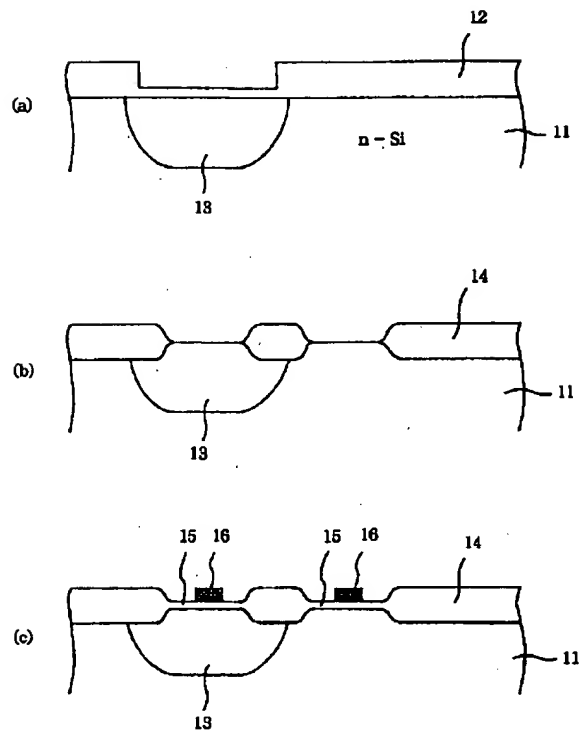
【図2】



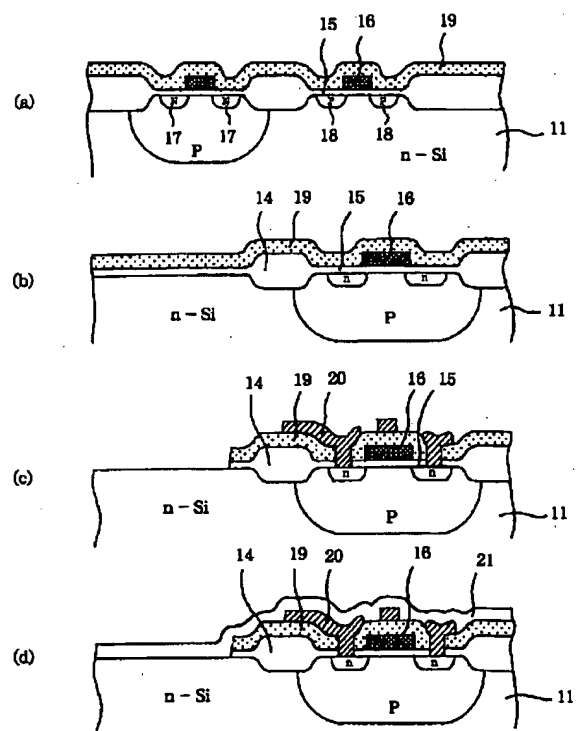
【図3】



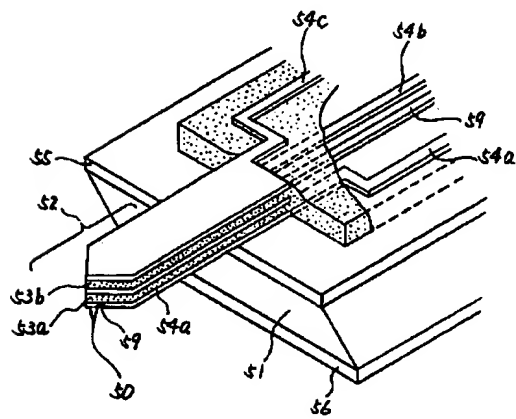
【図4】



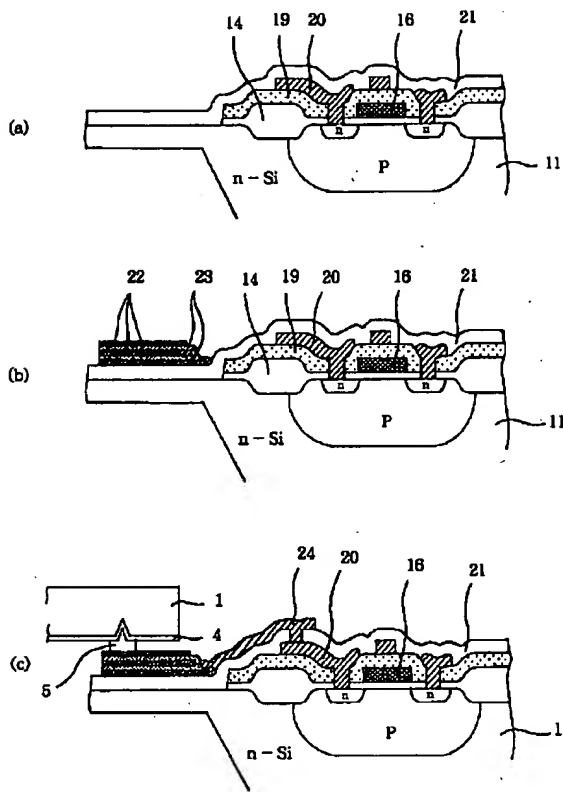
【図5】



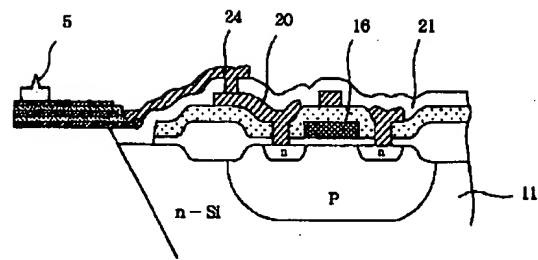
【図9】



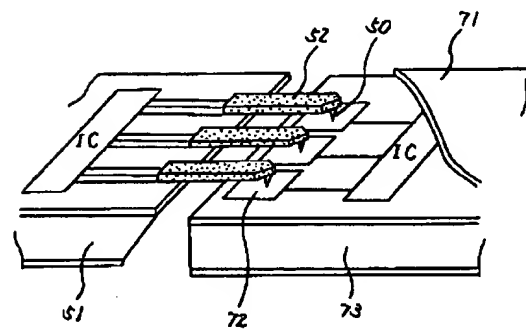
【図6】



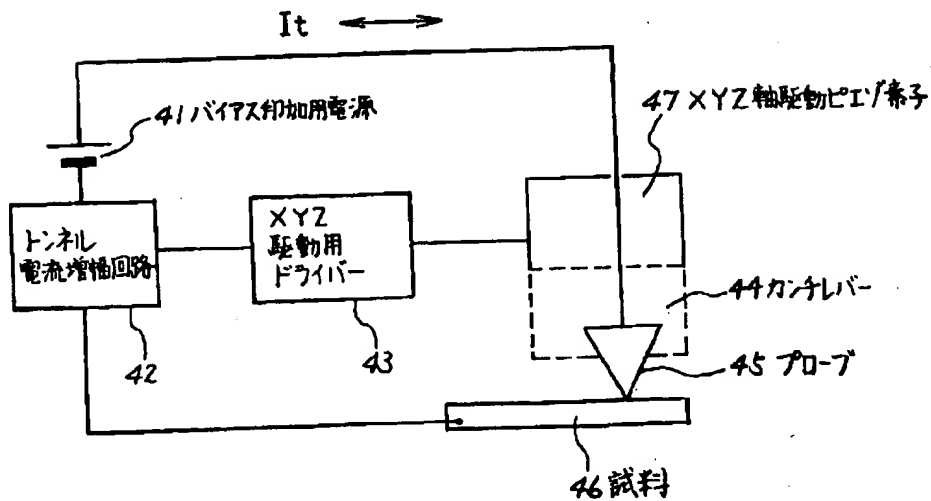
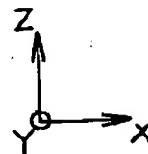
【図7】



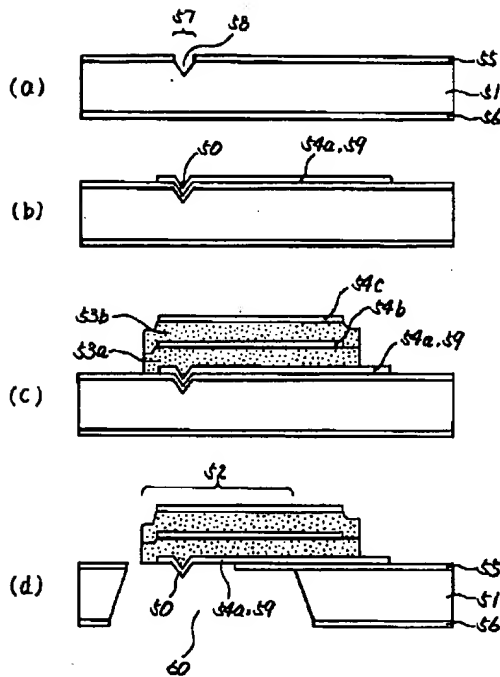
【図12】



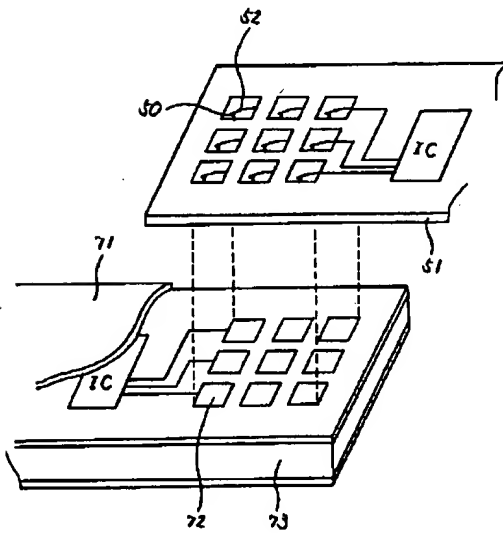
【図8】



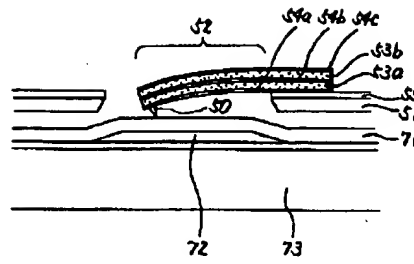
【図10】



【図14】

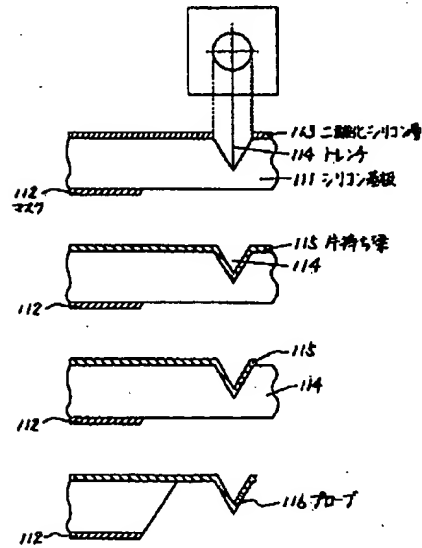


【図13】



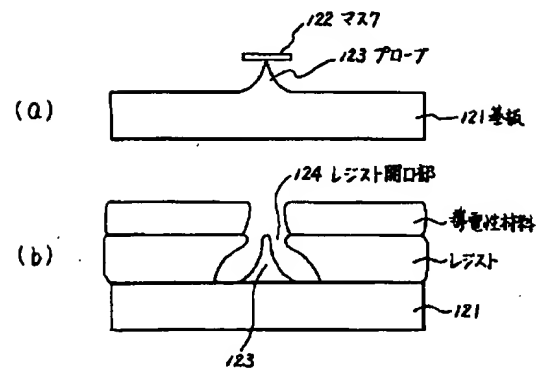
【図15】

(従来例)



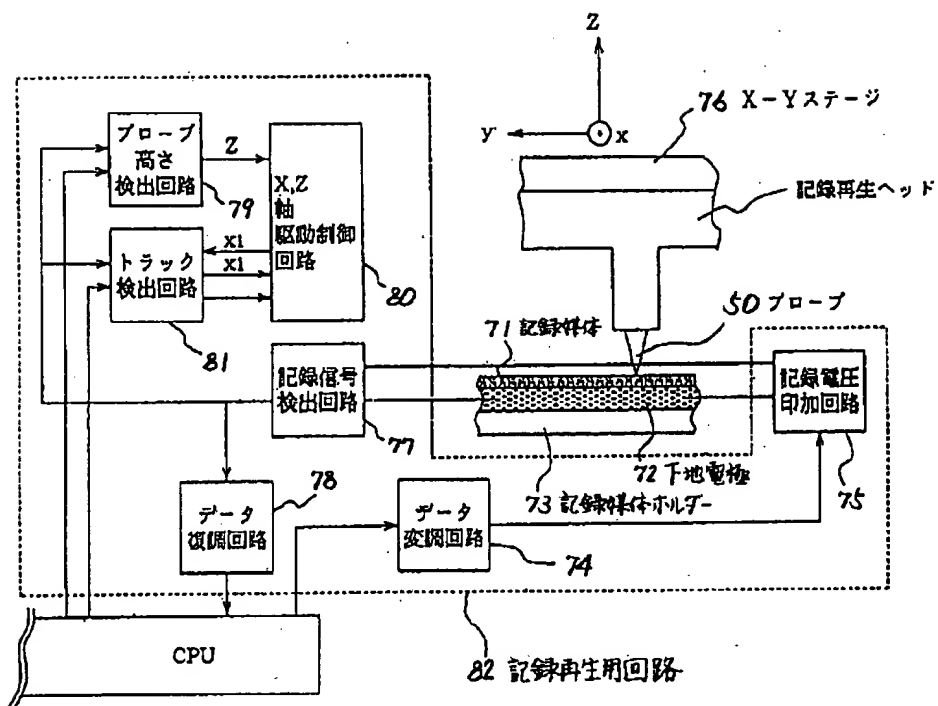
【図16】

(従来例)





【図11】



フロントページの続き

(72)発明者 島田 康弘  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 中山 優  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内